

## SEMICONDUCTOR DEVICE

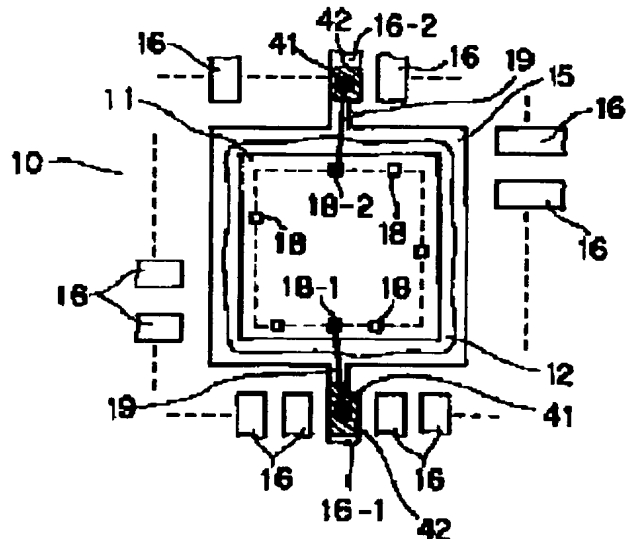
**Publication number:** JP6132455  
**Publication date:** 1994-05-13  
**Inventor:** HARADA SUSUMU  
**Applicant:** TOKYO SHIBAURA ELECTRIC CO  
**Classification:**  
- international: **H01L21/60; H01L23/50; H01L21/02; H01L23/48; (IPC1-7): H01L23/50; H01L21/60**  
- European:  
**Application number:** JP19920281886 19921020  
**Priority number(s):** JP19920281886 19921020

[Report a data error here](#)

### Abstract of JP6132455

**PURPOSE:** To coat an inner lead with a blocking member (having non-rough surface) or a dielectric except the bonding part in order to protect the bonding part against contamination due to adhesive or migration of silver.

**CONSTITUTION:** An inner lead 16-1 also serves as a suspension pin for supporting a die pad 15. In order to ensure a stabilized potential during operation of a semiconductor element 11, a predetermined electrode pad 18-1 among a plurality of electrode pads 18 and the inner lead 16-1 are connected each other through a bonding wire 19. A member 42 for blocking intrusion of paste 12 is applied around the joint 41 of the inner lead 16-1 and the bonding wire 19.



Data supplied from the **esp@cenet** database - Worldwide

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-132455

(43)公開日 平成 6 年(1994) 5 月13日

(51)Int.Cl.<sup>5</sup>

H 0 1 L 23/50

21/60

識別記号

S 9272-4M

D 9272-4M

3 0 1 B 6918-4M

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 (全 4 頁)

(21)出願番号

特願平4-281886

(22)出願日

平成 4 年(1992)10月20日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 原田 享

神奈川県川崎市幸区小向東芝町 1 番地 株

式会社東芝多摩川工場内

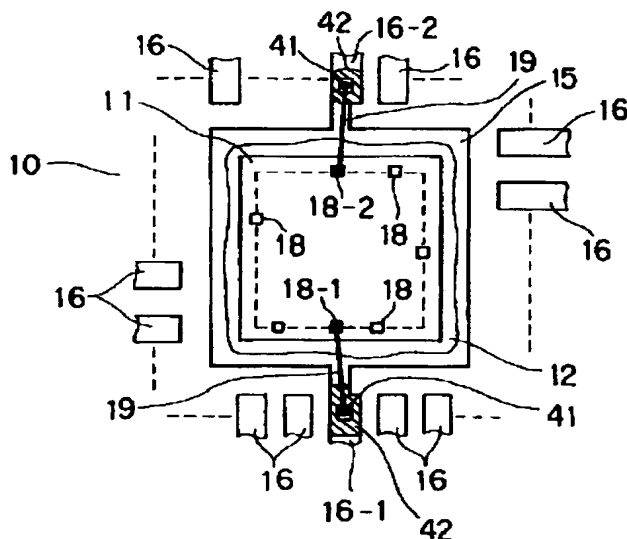
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】 インナリードにおいて、ボンディング部分の接着剤による汚染、銀のマイグレーションを防止するためにインナリードをボンディング部を除いて阻止部材（面の粗くないもの）、もしくは絶縁物で被覆する。

【構成】 インナリード16-1はダイパッド15を支持するつりピンを兼ねている。また、半導体素子11動作時に安定した電位を確保するために、複数配置された電極パッド18のうちの所定の電極パッド18-1とインナリード16-1とはボンディングワイヤ19により接続される。インナリード16-1におけるボンディングワイヤ19との接続部41の周辺には、ペースト12の侵入を防ぐ阻止部材42が被覆されている。



## 【特許請求の範囲】

【請求項1】 主面に複数の電極パッドが配置された半導体素子と、  
前記半導体素子がリードフレームに固着されるための接着部材と、  
前記リードフレームの一部であり前記各電極パッドと電気的に接続される接続部と、  
前記接続部周辺に設けられ前記接着部材の侵入を防ぐ阻止部材とを具備したことを特徴とする半導体装置。

【請求項2】 主面に複数の電極パッドが配置された半導体素子と、  
前記半導体素子に絶縁性の接着部材を介して固着される固着部分を有するリードと、  
前記リードの一部であり少なくとも前記固着部分を含んで前記各電極パッドと電気的に接続される領域以外を絶縁物で被覆したインナリード部とを具備したことを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は特にリードフレームへのボンディング工程を有する半導体装置に関する。

## 【0002】

【従来の技術】図6は従来の半導体装置の第1構成を示す上面図である。半導体素子11はエポキシ系のペースト12を用いてリードフレームにおけるダイパッド15に固着されている。このダイパッド15は銀メッキされたインナリード16のうちのインナリード16-1と結合している。

【0003】インナリード16-1はダイパッド15を支持するつりピンを兼ねている。半導体素子11主面に複数配置された電極パッド18のうちの電極パッド18-1はインナリード16-1とボンディングワイヤ19により接続される。これは、半導体素子11動作時に安定した電位を確保するための構成である。

【0004】図7は従来の半導体装置の第2構成を示す断面図で、LOC (lead on chip) 構造を示している。半導体素子21の主面とインナリード22とは、両面に熱硬化性の接着剤25を塗布したポリイミド等の絶縁テープ26を用いて固着される。半導体素子21主面中央に配列された各電極パッド28はボンディングワイヤ29により各インナリード22と接続される。

【0005】図8は従来の半導体装置の第3構成を示す断面図で、COL (chip on lead) 構造を示している。半導体素子31の裏面と銀メッキされたインナリード32とは、前記図7と同様の接着剤35を塗布した絶縁テープ36を用いて固着される。半導体素子31主面上に配列された各電極パッド38はボンディングワイヤ39により各インナリード32と接続される。

【0006】上記図6の構成は次のような問題がある。エポキシ系のペースト12の液体成分は銀メッキされたインナリード16の粗い面を伝って、ワイヤボンディングし

た接続部17を覆い。ボンディング性を著しく劣化させる。

【0007】上記図7、図8の構成は次のような問題がある。インナリード22 (もしくは32) の配列間隔は微細なため、絶縁テープ26 (もしくは36) 間でインナリードの銀がマイグレーションを起こし、ショートに至る。また、絶縁テープの接着剤25の熱硬化時やワイヤボンディング時の熱工程において、接着剤25の成分がインナリード22 (もしくは32) 伝って移動し図6と同様にボンディング性を劣化させることもあげられる。

## 【0008】

【発明が解決しようとする課題】このように、従来では半導体素子とリードフレームを接合させるための接着剤の成分がリードのワイヤボンディング部分に被覆し、ボンディング性を劣化させたり、リード部の銀メッキが隣列するリード間においてマイグレーションを起すという欠点がある。

【0009】この発明は、上記のような事情を考慮してなされたものであり、その目的は、第1に、ボンディング性を劣化させる接着剤の拡散を防止する構造、第2にリードにおける銀メッキのマイグレーションを防止する構造を有する半導体装置を提供することにある。

## 【0010】

【課題を解決するための手段】この発明の半導体装置は主面に複数の電極パッドが配置された半導体素子と、前記半導体素子がリードフレームに固着されるための接着部材と、前記リードフレームの一部であり前記各電極パッドと電気的に接続される接続部と、前記接続部周辺に設けられ前記接着部材の侵入を防ぐ阻止部材とを具備したことを特徴とする。

【0011】また、この発明の半導体装置は主面に複数の電極パッドが配置された半導体素子と、前記半導体素子に絶縁性の接着部材を介して固着される固着部分を有するリードと、前記リードの一部であり少なくとも前記固着部分を含んで前記各電極パッドと電気的に接続される領域以外を絶縁物で被覆したインナリード部とを具備したことを特徴とする。

## 【0012】

【作用】この発明では、インナリード部を阻止部材 (面の粗くないもの)、もしくは絶縁物で被覆し、ワイヤボンディングされる部分だけを露出させ、接着剤がこのボンディング部分まで拡散するのを防止し、さらにリードの銀メッキのマイグレーションを防止する。

## 【0013】

【実施例】以下、図面を参照してこの発明を実施例により説明する。図1はこの発明の第1実施例に係る半導体装置の構成を示す上面図であり、半導体素子11がリードフレーム10に固着される構成を示している。半導体素子11とリードフレーム10におけるダイパッド15とはエポキシ系のペースト12により固着されている。このダイパッド

15は銀メッキされたインナリード16のうちのインナリード16-1と結合している。

【0014】すなわち、インナリード16-1はダイパッド15を支持するつりピンを兼ねている。また、半導体素子11動作時に安定した電位を確保するために、複数配置された電極パッド18のうちの所定の電極パッド18-1とインナリード16-1とは電氣的に例えばボンディングワイヤ19により接続される。

【0015】インナリード16-1におけるボンディングワイヤ19との接続部41の周辺には、ペースト12の侵入を防ぐ阻止部材42が被覆されている。この阻止部材42に用いられる材料は例えばポリイミド系の樹脂であり、面が粗くなく、鏡面に近い。これにより、接続部41へペースト12の液体成分がしみ出るのを弾いて接続部41の汚染を防止する。

【0016】上記構成によれば、銀メッキされたインナリード16-1の粗い面を伝って、ペースト12の液体成分が移動するのを阻止部材42により遮断することができる。この結果、インナリード16-1の接続部41のボンディングの信頼性を維持することができる。

【0017】また、インナリード16-1の反対側のインナリード16-2もつりピンを兼ねているとすれば、同様に所定の電極パッド18-2と接続されることになる。この場合にもボンディングワイヤ19との接続部41の周辺には、ペースト12の侵入を防ぐ阻止部材42が被覆されている。

【0018】図2、図3はそれぞれこの発明の第2実施例に係るLOC (lead on chip) 構造の半導体装置の構成を示しており、図2は上面図、図3は図2の3A-3A断面図である。

【0019】半導体素子21の主面と銀メッキされたインナリード22とは、両面に熱硬化性の接着剤25を塗布したポリイミド等の絶縁テープ26により固着される。半導体素子21主面中央に配列された各電極パッド28はボンディングワイヤ29により各インナリード22と接続される。

【0020】インナリード22はボンディングワイヤ29との接続領域44を除いて、絶縁テープ26との固着部分を含みポリイミド系の絶縁樹脂45で被覆されている。これにより、インナリードの銀がマイグレーションを起こすのを防止する。

【0021】図4、図5はそれぞれこの発明の第3実施例に係るCOL (chip on lead) 構造の半導体装置の構成を示しており、図4は上面図、図5は図4の5A-5A断面図である。

【0022】半導体素子31の裏面と銀メッキされたイン

ナリード32とは、前記図3と同様の接着剤35を塗布した絶縁テープ36を用いて固着される。すなわち、インナリード32は半導体素子31のベッドを兼ねる。半導体素子31主面上に配列された各電極パッド38はボンディングワイヤ39により各インナリード32と接続される。

【0023】インナリード32はボンディングワイヤ39との接続領域54を除いて、絶縁テープ36との固着部分を含んでポリイミド系の絶縁樹脂55で被覆されている。これにより、インナリード32の銀がマイグレーションを起こすのを防止する。

【0024】上記図2～図5の構成によれば、インナリード22 (もしくは32) の隣列間において、インナリードの銀が絶縁テープ26を介してマイグレーションを起こすことがなくなり、インナリード22 (もしくは32) 間のショートが防止される。また、絶縁テープ26 (もしくは36) の接着剤25 (もしくは35) が移動してボンディング性を劣化させることも抑えられる。

【0025】

【発明の効果】以上説明したようにこの発明によれば、インナリード部のボンディング領域周辺に阻止部材が被覆する、あるいはインナリード部をボンディング領域を除いて絶縁物で被覆することにより、接着剤の侵入、インナリードの銀のマイグレーションを防ぐことができる高信頼性の半導体装置を提供することができる。

【図面の簡単な説明】

【図1】この発明の第1実施例に係る半導体装置の構成を示す上面図。

【図2】この発明の第2実施例に係る半導体装置の構成を示す上面図。

【図3】図2の3A-3A断面図。

【図4】この発明の第3実施例に係る半導体装置の構成を示す上面図。

【図5】図4の5A-5A断面図。

【図6】従来の半導体装置の第1構成を示す上面図。

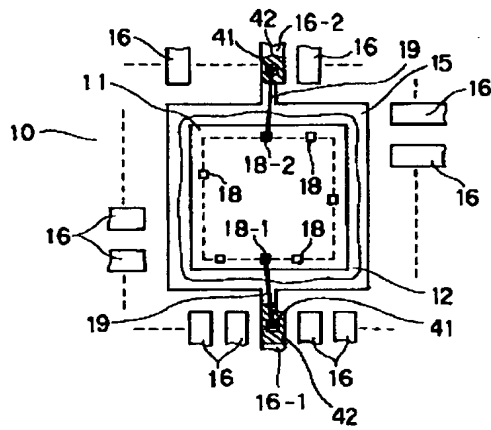
【図7】従来の半導体装置の第2構成を示す上面図。

【図8】従来の半導体装置の第2構成を示す上面図。

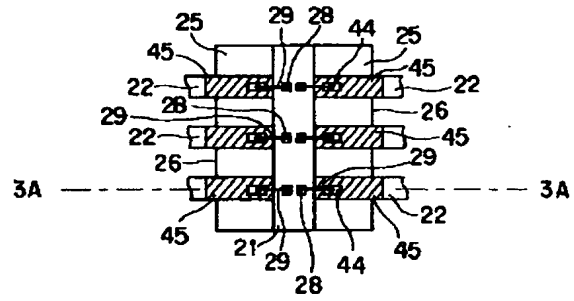
【符号の説明】

10…リードフレーム、11, 21, 31…半導体素子、12…ペースト、15…ダイパッド、16, 16-1, 16-2, 22, 32…インナリード、17…、18, 18-1, 18-2, 28, 38…電極パッド、19, 29, 39…ボンディングワイヤ、35…接着剤、26, 36…絶縁テープ、41…接続部、42…阻止部材、44, 54…接続領域、45, 55…絶縁樹脂。

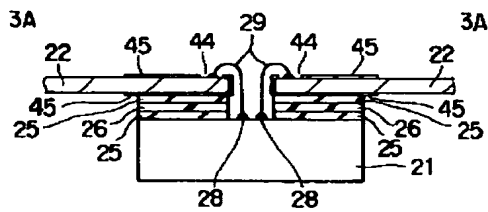
【図 1】



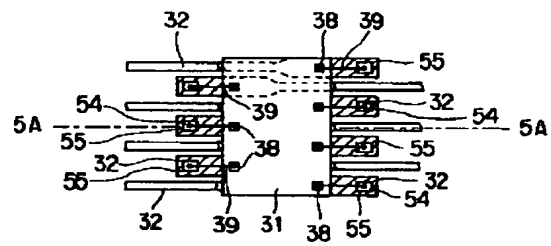
【図 2】



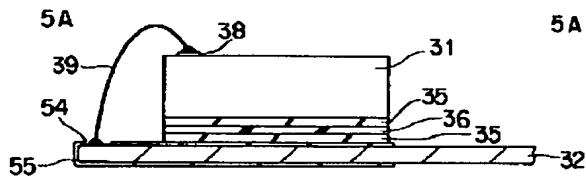
【図 3】



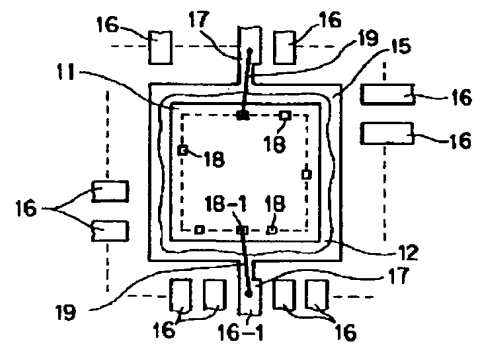
【図 4】



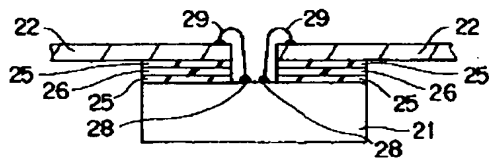
【図 5】



【図 6】



【図 7】



【図 8】

